

4/3/8 (Item 8 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2006 Thomson Derwent. All rts. reserv.

012604304 **Image available**
WPI Acc No: 1999-410408/ 199935
XRAM Acc No: C99-121321
XRPX Acc No: N99-306770

Connection wiring layer for composite semiconductor device - consists of
metal layers on Al group electrode with thickness greater than metal
layers formed on Au group electrode

Patent Assignee: FUJITSU CANTAM DEVICE KK (FUJI-N)

Inventor: NUNOKAWA M; SATO Y

Number of Countries: 002 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11162996	A	19990618	JP 97331383	A	19971202	199935 B
US 6011281	A	20000104	US 98203335	A	19981202	200008
US 6146931	A	20001114	US 98203335	A	19981202	200060
			US 99440551	A	19991115	

Priority Applications (No Type Date): JP 97331383 A 19971202

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 11162996	A		8	H01L-021/338	
US 6011281	A			H01L-031/0328	
US 6146931	A			H01L-021/338	Div ex application US 98203335 Div ex patent US 6011281

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-162996

(43)Date of publication of application : 18.06.1999

(51)Int.Cl.

H01L 21/338

H01L 29/812

H01L 29/43

(21)Application number : 09-331383

(71)Applicant : FUJITSU QUANTUM DEVICE KK

(22)Date of filing : 02.12.1997

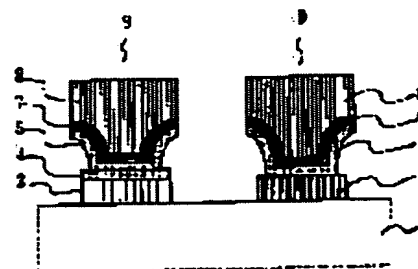
(72)Inventor : NUNOKAWA MITSUJI
SATO YUTAKA

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress an increase of a contact resistance to an Al electrode, and keep bonding strength to an Au electrode, and besides, prevent occurrence of dregs after etching.

SOLUTION: Both of an Al electrode 2 and an Au electrode 3 are provided with Au wiring layers 9 including metallic layers 4, 5, and 6 for suppressing reaction with Al and conductive barrier layers 7. Together with it, the thickness of the metallic layers 4 and 5 to suppress the reaction with Al provided between the Al electrode 2 and the conductive barrier layer 7 is made larger than the thickness of the metallic layer 6 to suppress the reaction with Al provided between the Au electrode 3 and the conductive barrier layer 7.



LEGAL STATUS

[Date of request for examination] 10.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3379062

[Date of registration] 13.12.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-162996

(43) 公開日 平成11年(1999) 6月18日

(51) Int.Cl.⁹

識別記号

F I

H 0 1 L 21/338

H 0 1 L 29/80

F

29/812

29/46

L

29/43

G

審査請求 未請求 請求項の数10 O L (全 8 頁)

(21) 出願番号

特願平9-331383

(22) 出願日

平成9年(1997)12月2日

(71) 出願人 000154325

富士通量子デバイス株式会社

山梨県中巨摩郡昭和町大字紙漣阿原1000番地

(72) 発明者 布川 満次

山梨県中巨摩郡昭和町大字紙漣阿原1000番地 富士通量子デバイス株式会社内

(72) 発明者 佐藤 裕

山梨県中巨摩郡昭和町大字紙漣阿原1000番地 富士通量子デバイス株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外2名)

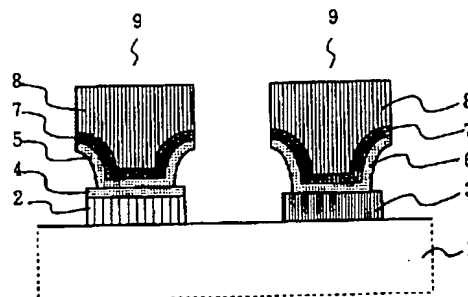
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体装置及びその製造方法に関し、A l系電極に対するコンタクト抵抗の増加を抑え、A u系電極に対してはボンディング強度を保ち、且つ、エッチング残渣の発生を防止する。

【解決手段】 A l系電極2及びA u系電極3の両者に対して、A lとの反応を抑止する金属層4、5、6及び導電性バリア層7を含むA u系配線層9を設けると共に、A l系電極2と導電性バリア層7との間に設けるA lとの反応を抑止する金属層4、5の厚さを、A u系電極3と導電性バリア層7との間に設けるA lとの反応を抑止する金属層6の厚さより厚くする。

本発明の原理的構成の説明図



1:半導体層

2:A l系電極

3:A u系電極

4:A lとの反応を抑止する金属層

5:A lとの反応を抑止する金属層

6:A lとの反応を抑止する金属層

7:導電性バリア層

8:A u層

9:A u系配線層

【特許請求の範囲】

【請求項1】 Alを主たる構成要素とするAl系電極とAuを主たる構成要素とするAu系電極とを有する半導体装置において、前記Al系電極及びAu系電極の両者に対して、Alとの反応を抑止する金属層及び導電性バリア層を含むAu系配線層を設けると共に、前記Al系電極と導電性バリア層との間に設けるAlとの反応を抑止する金属層の厚さが、前記Au系電極と導電性バリア層との間に設けるAlとの反応を抑止する金属層の厚さより厚いことを特徴とする半導体装置。

【請求項2】 上記Al系電極と導電性バリア層との間に設けるAlとの反応を抑止する金属層の厚さが、100Å以上であることを特徴とする請求項1記載の半導体装置。

【請求項3】 上記Au系電極と導電性バリア層との間に設けるAlとの反応を抑止する金属層の厚さが、50Å以上であることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 上記Al系電極と導電性バリア層との間に設けるAlとの反応を抑止する金属層が、Alの窒化を防止する金属層であり、且つ、その窒化物が導電性材料となる程度の導電性を有することを特徴とする請求項1乃至3のいずれか1項に記載の半導体装置。

【請求項5】 上記Alの窒化を防止する金属層が、Ti, W, Ta, Mo, Pd, Ni, Crのいずれかであることを特徴とする請求項4記載の半導体装置。

【請求項6】 上記Au系電極と導電性バリア層との間に設けるAlとの反応を抑止する金属層が、Alの窒化を防止する金属層であり、且つ、その窒化物が導電性材料となる程度の導電性を有すると共に、前記Au系電極との密着性を強化する金属層であることを特徴とする請求項1乃至3のいずれか1項に記載の半導体装置。

【請求項7】 上記Alの窒化を防止する金属層が、Ti, W, Ta, Mo, Pd, Ni, Crのいずれかであることを特徴とする請求項6記載の半導体装置。

【請求項8】 上記Al系電極及びAu系電極と導電性バリア層との間に設けるAlとの反応を抑止する金属層が、Alの酸化を防止する金属層であり、且つ、その酸化物が導電性材料となる程度の導電性を有することを特徴とする請求項1乃至3のいずれか1項に記載の半導体装置。

【請求項9】 Alを主たる構成要素とするAl系電極とAuを主たる構成要素とするAu系電極とを有する半導体装置の製造方法において、レジストにAl系電極形成用開口部を形成したのち、Al系導電層及びAlとの反応を抑止する金属層を順次堆積させ、レジストを除去することによりAl系電極／Alとの反応を抑止する金属層の積層構造電極を形成する工程、レジストにAu系電極形成用開口部を形成したのち、Au系導電層を堆積させ、レジストを除去することによりAu系電極を形成

する工程、レジストに前記Al系電極／Alとの反応を抑止する金属層の積層構造電極及び前記Au系電極に対する接続用開口部を形成したのち、Alとの反応を抑止する金属層、導電性バリア層、及び、Au層を順次堆積させてAu系導電層を形成する工程、及び、前記Au系導電層をエッチングしてAu系配線層を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項10】 上記Al系電極／Alとの反応を抑止する金属層の積層構造電極がAl／Ti積層電極であり、上記Au系電極がAu・Ge、Ni、及び、Auを順次堆積させたAu・Ge／Ni／Au積層電極であり、上記Alとの反応を抑止する金属層がTi層であり、また、上記導電性バリア層がTiWNであることを特徴とする請求項9記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に関するものであり、特に、HEMT（高電子移動度トランジスタ）等のAu系電極とAl系電極とを有する化合物半導体装置の接続配線層の構造及び形成方法に特徴のある半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】従来、GaAsやInGaAs等の電子移動度の大きなIII-V族化合物半導体を用いた化合物半導体装置、例えば、HEMT、MESFET、或いは、HBT（ヘテロ接合バイポーラトランジスタ）等は、高周波素子或いは高速スイッチング素子として広く用いられており、近年の携帯電話や衛星通信の普及により化合物半導体素子の高性能化が要請されている。

【0003】このような化合物半導体素子は集積化して用いることが一般的であり、特に、HEMTにおいては、ゲート電極としてAlを主たる構成要素とするAl系電極が用いられ、また、ソース・ドレイン電極としてはAuを主たる構成要素とするAu系電極が用いられており、これらのAl系電極及びAu系電極に対する接続配線層としてはAu系配線層を用いて相互接続を行っている。

【0004】このようなAu系配線層を用いた場合には、通常、AuとAlとが互いに反応してパープルブレッグと呼ばれる高抵抗層を形成するために、両者の間にTi系窒化化合物或いはW系窒化化合物等の窒化物導電層を設けることが多く、まれには酸化物導電層が用いられることもある。

【0005】ここで、図4を参照して、従来のHEMTの電極の形成工程を説明する。

図4(a)参照

まず、半絶縁性GaAs基板上に、有機金属気相成長法（MOVPE法）を用いて、i型GaAsバッファ層、i型GaAsチャネル層（いずれも図示せず）、n型A

lGaAs電子供給層31、及び、n⁺型GaAsキャップ層32を順次エピタキシャル成長させたのち、レジストを塗布し、露光・現像することによって形成したレジストパターン（図示せず）をマスクとして酸素イオンをイオン注入することによって半絶縁性GaAs基板に達する素子分離領域33を形成する。

【0006】次いで、レジストパターンを除去したのち、新たにレジストを塗布したのち露光・現像することによってソース・ドレイン電極34を形成するための開口部を有するレジストパターン（図示せず）を形成する。

【0007】次いで、全面にAu・Ge層、Ni層、及び、Au層からなるAu系導電層を堆積させ、レジストパターンによる段切れを利用してソース・ドレイン電極34を形成する。

【0008】次いで、レジストパターン上のAu系導電層をレジストパターンと共にリフトオフ法によって除去したのち、新たにレジストを塗布し、露光・現像することによってゲートリセス部35を形成するための開口部を形成したレジストパターン（図示せず）をマスクとしてドライエッチングすることによって開口部に露出しているn⁺型GaAsキャップ層32を除去してゲートリセス部35を形成する。

【0009】引き続いて、全面にAl層を堆積させたのち、レジストパターンを除去するリフトオフ法によってAlからなるゲート電極36をゲートリセス部35に対して自己整合的に形成する。

【0010】図4(b)参照

次いで、新たにレジストを塗布して露光・現像することによってゲート電極36及びソース・ドレイン電極34に対する開口部を有するエアブリッジレジスト37を形成したのち、Alと窒化物導電層との反応を抑止するTi層38、AlとAuとの反応を抑止する導電性バリア層としてのTiWN層39、及び、Au層40を順次堆積させてAu系配線層用導電層を形成する。

【0011】図4(c)参照

次いで、Au系配線層用導電層の不要部をエッチングにより除去すると共に、エアブリッジレジスト37も除去することによってTi層38、TiWN層39、及び、Au層40からなるAu系配線層41を形成することによって相互接続配線が完成する。

【0012】

【発明が解決しようとする課題】しかし、従来の製造方法においては、ゲート電極36を構成するAl層の窒化を防ぐために設けたTi層38がAu系配線層41の形成工程において、時々エッチング残渣として残ることがあった。

【0013】このTiWN層39及びTi層38のエッチングに際しては、SF₆を使用した反応性イオンエッチング(RIE)を用いているが、Ti層38が厚くな

ると表面にTi酸化物が発生してエッチングされにくくなり、且つ、一旦除去されたTiの再付着も発生するためであると考えられる。

【0014】このTi層38のエッチング残渣は、Au系配線層41の形成領域以外のほぼ全域に渡って発生するものであり、このエッチング残渣は配線層間の短絡を引き起こすという問題があり、見た目も悪くなるので製品として出荷対象外とされている。

【0015】この様なエッチング残渣の発生を防止するためには、Ti層38を薄く形成すれば良いが、本発明者の検討によれば、Ti層38を薄くすることによりコンタクト抵抗の増大を引き起こし、Ti層38の薄層化にも限界があることが分かった。

【0016】図5参照

図5は、Ti層のコンタクト抵抗の層厚依存性を示す図であり、100Å以下の厚さではコンタクト抵抗が急激に増加することが明らかである。この様なTi層38の薄層化によるコンタクト抵抗の増加は、Ti層38によるAl層の表面の酸素のゲッターリング効果が不十分になるため、及び、TiWN層39を構成するNが薄いTi層38を透過してAl層に達し、AlNを形成するためであると考えられる。

【0017】一方、予めゲート電極36を構成するAl層上のみ必要とされる層厚のTi層を積層し、Au系配線層41を形成するための配線層用導電層を堆積させる際に、Ti層38を堆積させず、TiWN層39を直接堆積させることも考えたが、この場合には、ソース・ドレイン電極34を構成するAu系電極と密着不良になり、ボンディング強度が低下するという問題が発生する。

【0018】したがって、本発明は、Al系電極に対するコンタクト抵抗の増加を抑え、Au系電極に対してはボンディング強度を保ち、且つ、エッチング残渣の発生することのない配線層構造を提供することを目的とする。

【0019】

【課題を解決するための手段】図1は本発明の原理的構成の説明図であり、この図1を参照して本発明における課題を解決するための手段を説明する。なお、図において、符号1はGaAs層等の半導体層を表す。

図1参照

(1) 本発明は、Alを主たる構成要素とするAl系電極2とAuを主たる構成要素とするAu系電極3とを有する半導体装置において、Al系電極2及びAu系電極3の両者に対して、Alとの反応を抑止する金属層4、5、6及び導電性バリア層7を含むAu系配線層9を設けると共に、Al系電極2と導電性バリア層7との間に設けるAlとの反応を抑止する金属層4、5の厚さが、Au系電極3と導電性バリア層7との間に設けるAlとの反応を抑止する金属層6の厚さより厚いことを特徴と

する。

【0020】この様に、A1系電極2と導電性バリア層7との間に設けるA1との反応を抑止する金属層4、5の厚さを、Au系電極3と導電性バリア層7との間に設けるA1との反応を抑止する金属層6の厚さより厚くすることによって、A1系電極2におけるコンタクト抵抗の増加を抑制し、また、Au系電極3との密着性を良好に保つことができ、且つ、A1との反応を抑止する金属層5、6のエッチング残渣が発生することがない。

【0021】(2)また、本発明は、上記(1)において、A1系電極2と導電性バリア層7との間に設けるA1との反応を抑止する金属層4、5の厚さが、100Å以上であることを特徴とする。

【0022】この様に、コンタクト抵抗の増大を抑制するためには、A1系電極2と導電性バリア層7との間に設けるA1との反応を抑止する金属層4、5の厚さを、100Å以上とすることが望ましい。

【0023】(3)また、本発明は、上記(1)または(2)において、Au系電極3と導電性バリア層7との間に設けるA1との反応を抑止する金属層6の厚さが、50Å以上であることを特徴とする。

【0024】この様に、Au系電極3との密着性を保つためには、Au系電極3と導電性バリア層7との間に設けるA1との反応を抑止する金属層6の厚さを、50Å以上とすることが望ましい。但し、エッチング残渣の発生を完全に防止するためには、現在の製造装置では100Å未満であることが望ましいが、この数値は、製造装置及び製造方法の発達とともに増加する方向に変動するものである。

【0025】(4)また、本発明は、(1)乃至(3)のいずれかにおいて、A1系電極2と導電性バリア層7との間に設けるA1との反応を抑止する金属層4、5が、A1の窒化を防止する金属層であり、且つ、その窒化物が導電性材料となる程度の導電性を有することを特徴とする。

【0026】導電性バリア層7として窒化物導電層を用いた場合には、A1との反応を抑止する金属層4、5としては、A1の窒化を防止する金属層であり、且つ、その窒化物が導電性材料となる程度の導電性を有する金属層であることが必要となる。

【0027】(5)また、本発明は、(4)において、A1の窒化を防止する金属層が、Ti、W、Ta、Mo、Pd、Ni、Crのいずれかであることを特徴とする。

【0028】この様なA1の窒化を防止する金属層としては、Ti、W、Ta、Mo、Pd、Ni、Crのいずれかが好適であり、Ti、W、Taの窒化物は良好な導電性を有し、また、Mo、Pd、Ni、Crは窒素化合物を形成しない。

【0029】(6)また、本発明は、(1)乃至(3)

のいずれかにおいて、Au系電極3と導電性バリア層7との間に設けるA1との反応を抑止する金属層6が、A1の窒化を防止する金属層であり、且つ、その窒化物が導電性材料となる程度の導電性を有すると共に、Au系電極3との密着性を強化する金属層であることを特徴とする。

【0030】導電性バリア層7として窒化物導電層を用いた場合には、A1との反応を抑止する金属層6としては、A1の窒化を防止する金属層であり、且つ、その窒化物が導電性材料となる程度の導電性を有する金属層であるとと共に、Au系電極3との密着性を強化する金属層であることが必要となる。

【0031】(7)また、本発明は、(6)において、A1の窒化を防止する金属層が、Ti、W、Ta、Mo、Pd、Ni、Crのいずれかであることを特徴とする。

【0032】(8)また、本発明は、(1)乃至(3)のいずれかにおいて、A1系電極2及びAu系電極3と導電性バリア層7との間に設けるA1との反応を抑止する金属層4、5、6が、A1の酸化を防止する金属層であり、且つ、その酸化物が導電性材料となる程度の導電性を有すると共に、Au系電極3と導電性バリア層7との間に設けるA1との反応を抑止する金属層6はAu系電極3との密着性を強化する金属層であることを特徴とする。

【0033】導電性バリア層7として酸化物導電層を用いた場合には、A1との反応を抑止する金属層4、5、6としては、A1の酸化を防止する金属層であり、且つ、その酸化物が導電性材料となる程度の導電性を有する金属層であるとと共に、Au系電極3との密着性を強化する金属層であることが必要となる。

【0034】(9)また、本発明は、A1を主たる構成要素とするA1系電極2とAuを主たる構成要素とするAu系電極3とを有する半導体装置の製造方法において、レジストにA1系電極2形成用開口部を形成したのち、A1系導電層及びA1との反応を抑止する金属層4を順次堆積させ、レジストを除去することによりA1系電極2/A1との反応を抑止する金属層4の積層構造電極を形成する工程、レジストにAu系電極3形成用開口部を形成したのち、Au系導電層を堆積させ、レジストを除去することによりAu系電極3を形成する工程、レジストにA1系電極2/A1との反応を抑止する金属層4の積層構造電極及びAu系電極3に対する接続用開口部を形成したのち、A1との反応を抑止する金属層5、6、導電性バリア層7、及び、Au層8を順次堆積させてAu系導電層を形成する工程、及び、Au系導電層をエッチングしてAu系配線層9を形成する工程を有することを特徴とする。

【0035】この様に、A1系電極2と導電性バリア層7との間に設けるA1との反応を抑止する金属層4、5

ば、ゲート電極23上に設けるTi層22は、W層、Ta層、Ni層、Cr層、Pd層、或いは、Mo層に置き換えても良いものであり、いずれにしてもAlとNとの反応を抑制し、且つ、その窒化物が良好な導電性を示すものであれば良い。

【0049】また、Au系配線層28の下地層となるTi層25は、W層、Ta層、Ni層、Cr層、Pd層、NiCr層、TiW層、或いは、WSi層に置き換えても良いものであり、いずれにしてもAlとNとの反応を抑制し、且つ、その窒化物が良好な導電性を示すものであり、さらに、Au系電極であるソース・ドレイン電極17との密着性が良好なものであれば良い。

【0050】また、上記の実施の形態の説明においては、導電性バリア層として、TiWN層26を用いているが、他の窒化物でも良く、さらには、TiO、TaO、SrTiO等の酸化物導電層を用いても良いものであり、この場合にはゲート電極17上に設ける層はAlの酸化を防止し、且つ、その酸化物が良好な導電性を示す金属、例えば、Ti、Ta等であれば良く、また、Au系配線層28の下地層もAlの酸化を防止し、且つ、その酸化物が良好な導電性を示すものであり、さらに、Au系電極であるソース・ドレイン電極17との密着性が良好な金属、例えば、Ti、Ta等であれば良い。

【0051】また、上記の実施の形態の説明においては、ゲート電極17としてAlを用いているが、Cu或いはSi等を混入したAl合金等を用いても良いものであり、一方、ソース・ドレイン電極としても最終層がAu或いはAu合金からなる電極であれば良いものである。

【0052】また、本発明の実施の形態においてはHEMTを例として説明しているが、本発明は、HEMTに限られるものではなく、Al系電極とAu系電極とを同時に有する半導体装置を対象とするものであり、HBTやMESFETにも適用されるものである。

【0053】

【発明の効果】本発明によれば、Al系電極に対してはコンタクト抵抗が高くない程度の厚さのTi層を、また、Au系電極に対してはボンディング強度が低下しない程度の厚さで、且つ、エッチング残渣が残らない程度の厚さのTi層を介して、導電性バリア層及びAu層を設けて接続配線層を形成しているので、化合物半導体装置の信頼性が向上するとともに、製造歩留りも向上する。

【図面の簡単な説明】

【図1】本発明の原理的構成の説明図である。

【図2】本発明の実施の形態の途中までの製造工程の説

明図である。

【図3】本発明の実施の形態の図2以降の製造工程の説明図である。

【図4】従来のHEMTの製造工程の説明図である。

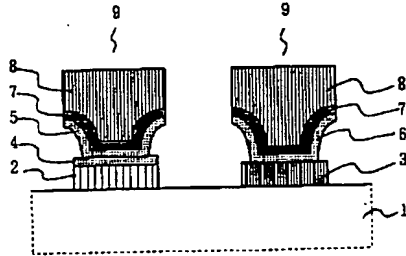
【図5】Ti層のコンタクト抵抗の層厚依存性の説明図である。

【符号の説明】

- 1 半導体層
- 2 Al系電極
- 3 Au系電極
- 4 Alとの反応を抑止する金属層
- 5 Alとの反応を抑止する金属層
- 6 Alとの反応を抑止する金属層
- 7 導電性バリア層
- 8 Au層
- 9 Au系配線層
- 11 n型AlGaAs電子供給層
- 12 n⁺型GaAsキャップ層
- 13 素子分離領域
- 14 開口部
- 15 レジストパターン
- 16 Au系導電層
- 17 ソース・ドレイン電極
- 18 開口部
- 19 レジストパターン
- 20 ゲートリセス部
- 21 Al層
- 22 Ti層
- 23 ゲート電極
- 24 エアブリッジレジスト
- 25 Ti層
- 26 TiWN層
- 27 Au層
- 28 Au系配線層
- 31 n型AlGaAs電子供給層
- 32 n⁺型GaAsキャップ層
- 33 素子分離領域
- 34 ソース・ドレイン電極
- 35 ゲートリセス部
- 36 ゲート電極
- 37 エアブリッジレジスト
- 38 Ti層
- 39 TiWN層
- 40 Au層
- 41 Au系配線層

【図1】

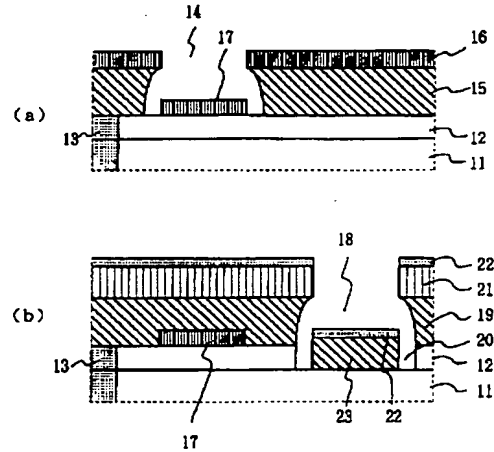
本発明の原理的構成の説明図



- 1: 半導体層
2: Al系電極
3: Au系電極
4: Alとの反応を抑止する金属層
5: Alとの反応を抑止する金属層
6: Alとの反応を抑止する金属層
7: 導電性バリア層
8: Au層
9: Au系配線層

【図2】

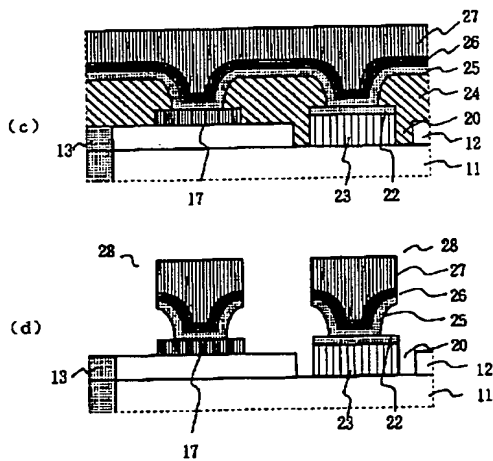
本発明の実施の形態の途中までの製造工程の説明図



- 11: n型AlGaAs電子供給層 18: 開口部
12: n⁺型GaAsキャップ層 19: レジストパターン
13: 素子分離領域 20: ゲートリセス部
14: 開口部 21: Al層
15: レジストパターン 22: Ti層
16: Au系導電層 23: ゲート電極
17: ソース・ドレイン電極

【図3】

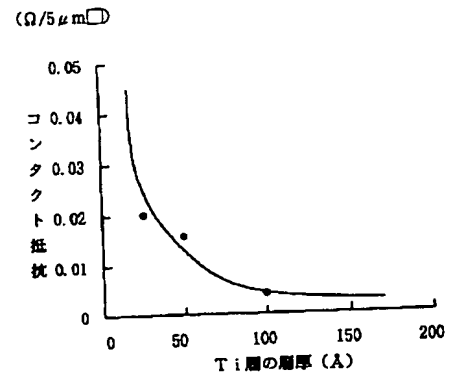
本発明の実施の形態の図2以降の製造工程の説明図



- 11: n型AlGaAs電子供給層 23: ゲート電極
12: n⁺型GaAsキャップ層 24: エアブリッジレジスト
13: 素子分離領域 25: Ti層
17: ソース・ドレイン電極 26: TiWN層
20: ゲートリセス部 27: Au層
22: Ti層 28: Au系配線層

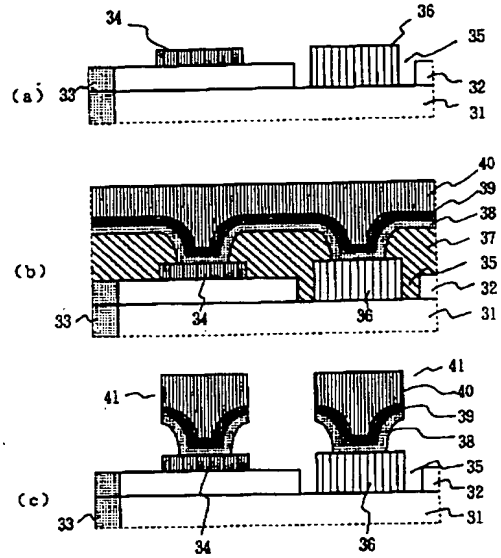
【図5】

Ti層のコンタクト抵抗の層厚依存性の説明図



【図4】

従来のHBTの製造工程の説明図



- | | |
|-------------------------------|----------------|
| 31: n型AlGaAs電子供給層 | 36: ゲート電極 |
| 32: n ⁺ 型GaAsキャップ層 | 37: エアブリッジレジスト |
| 33: 素子分離領域 | 38: Ti層 |
| 34: ソース・ドレイン電極 | 39: TiWN層 |
| 35: ゲートリセス部 | 40: Au層 |
| | 41: Au系配線層 |